

DERWENT-ACC-NO: 1996-469936

DERWENT-WEEK: 200122

COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Semiconductor device e.g. DRAM mfr. - by forming contact hole in diffusion layer, which is included in adjoining gate electrode pattern

INVENTOR: FUKASE, T

PRIORITY-DATA: 1995JP-0040221 (February 28, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 242352 B1	March 2, 2000		000	H01L021/28
JP 08236473 A	September 13, 1996		012	H01L021/28
US 5728595 A	March 17, 1998		021	H01L021/265

INT-CL (IPC): H01 L 21/265; H01 L 21/28; H01 L 21/3065; H01 L 21/768; H01 L 21/8242;
H01 L 27/108

ABSTRACTED-PUB-NO: JP 08236473A

BASIC-ABSTRACT:

The mfg method involves forming an insulating film which isolates multiple semiconductor element. Each element includes a MOS transistor mounted onto the surface of a semiconductor substrate. A gate electrode is positioned on the upper surface of the insulating film. A diffusion layer serves as source, drain for the insulated gate type FET in the semiconductor element. A second insulating film is formed, which serves as a spacer for the gate electrode. Then, an interlayer insulating film is deposited on the whole setup. This film is etched using resist as mask, of predetermined pattern so as to form a contact hole.

The second insulating film is removed by employing dry etching process. The resist is also removed. A third insulating film with thickness less than the second film, is formed on the side of the adjoining gate electrode which is devoid of the second insulation film. Finally, a contact hole is formed in the diffusion layer, which included in the gate electrode pattern.

ADVANTAGE - Improves yield and performance of semiconductor device. Raises reliability.

ABSTRACTED-PUB-NO:

US 5728595A EQUIVALENT-ABSTRACTS:

The mfg method involves forming an insulating film which isolates multiple semiconductor element. Each element includes a MOS transistor mounted onto the surface of a semiconductor substrate. A gate electrode is positioned on the upper surface of the insulating film. A diffusion layer serves as source, drain for the insulated gate type FET in the semiconductor element. A second insulating film is formed, which serves as a spacer for the gate electrode. Then, an interlayer insulating film is deposited on the whole setup. This film is etched using resist as mask, of predetermined pattern so as to form a contact hole.

The second insulating film is removed by employing dry etching process. The resist is also removed. A third insulating film with thickness less than the second film, is formed on the side of the adjoining gate electrode which is devoid of the second insulation film. Finally, a contact hole is formed in the diffusion layer, which included in the gate electrode pattern.

ADVANTAGE - Improves yield and performance of semiconductor device. Raises reliability.

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08236473 A

(43) Date of publication of application: 13.09.96

(51) Int. Cl **H01L 21/28**
H01L 21/3065
H01L 21/768
H01L 27/108
H01L 21/8242

(21) Application number: 07040221
(22) Date of filing: 28.02.95

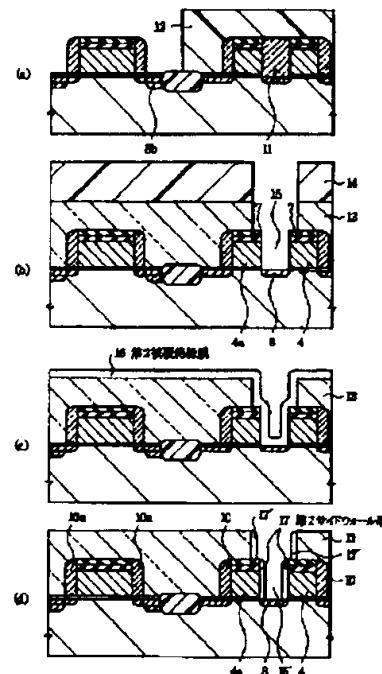
(71) Applicant: NEC CORP
(72) Inventor: FUKASE TADASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To form a highly reliable contact hole in a memory cell in a self-aligning way by removing a side wall layer between gate electrodes with a thick film in a memory cell section and forming thin side wall layers on the side walls of the gate electrodes with a narrow space in the section.

CONSTITUTION: After a buried insulating layer 11 is formed between gate electrodes 4 and 4a arranged at a small distance in the memory cell section of a silicon substance, a deep diffusion layer 8b is formed by combining heat treatment and ion implantation by using a resist mask 12 for ion implantation. Then, an interlayer insulating film 13 and resist mask 14 for contact hole are formed in prescribed shapes. After forming the mask 14, a contact hole 15 is formed by etching the insulating film 13 and buried insulating layer 11 by using the mask 14. Finally, a contact hole 15' which is self-aligned with gate electrodes 4 and 4a is formed on a diffusion layer 8 by performing entire-surface etching back after depositing a second insulating film 16 and forming second side wall layers 17 on the side walls of the electrodes 4 and 4a.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-236473

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
	H 01 L 21/28		H 01 L 21/28	L
21/3065			21/302	F
21/768				E
27/108			21/90	F
				C

審査請求 有 請求項の数 7 O.L (全 12 頁) 最終頁に続く

(21)出願番号 特願平7-40221

(71)出願人 000004237

日本電気株式会社

(22)出願日 平成7年(1995)2月28日

東京都港区芝五丁目7番1号

(72)発明者 深瀬 風

東京都港区芝五丁目7番1号 日本電気株式会社内

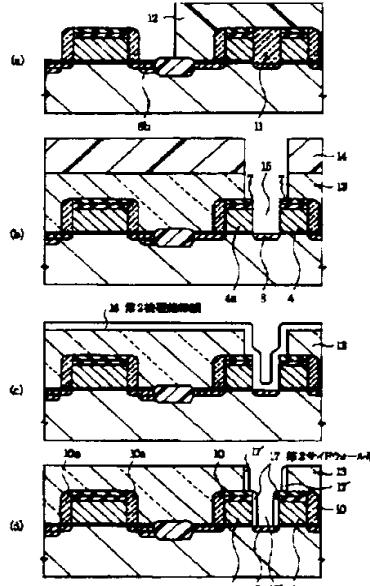
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 DRAM等の半導体記憶装置におけるメモリセル内の配線用のコンタクト孔を自己整合的に信頼性高く形成する。

【構成】 半導体基板の表面にMOSトランジスタを含む半導体素子間を分離する素子分離絶縁膜を形成する工程と、MOSトランジスタのゲート電極の上面に第1の絶縁膜を形成する工程と、ゲート電極の側面にスベーサーとなる第2の絶縁膜を形成する工程と、隣接するゲート電極の上面の第1の絶縁膜をエッチングマスクとして隣接するゲート電極間に存する第2の絶縁膜をドライエッチングで除去する工程と、隣接するゲート電極の側面に膜厚が第2の絶縁膜より薄い第3の絶縁膜を形成し、拡散層上に自己整合型のコンタクト孔を形成する工程とを含む。



【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体装置の製造方法において、半導体基板の表面に絶縁ゲート電界効果トランジスタを含む半導体素子間を分離する素子分離絶縁膜を形成する工程と、前記絶縁ゲート電界効果トランジスタのゲート電極の上面に前記ゲート電極を保護する第1の絶縁膜を形成する工程と、前記絶縁ゲート電界効果トランジスタのソース・ドレインとなる拡散層を形成する工程と、前記ゲート電極の側面にスベーサーとなる第2の絶縁膜を形成する工程と、全面に層間絶縁膜を堆積した後、所定のレジストマスクのハターンを用いてコンタクト孔を開口する際に、前記レジストマスクをエッチングマスクとして前記層間絶縁膜をドライエッチングする工程と、隣接する前記ゲート電極の上面の第1の絶縁膜をエッチングマスクとして前記隣接するゲート電極間に存する前記第2の絶縁膜をドライエッチングで除去する工程と、前記レジストマスクを除去した後、前記第2の絶縁膜を除去した前記隣接するゲート電極の側面に膜厚が前記第2の絶縁膜より薄い第3の絶縁膜を形成し、前記隣接するゲート電極のハターンにセルフアラインに前記拡散層にコンタクト孔を形成する工程とを含むことを特徴とする半導体装置の製造方法

【請求項2】 絶縁ゲート電界効果トランジスタの前記隣接するゲート電極が半導体装置を構成するメモリセル部の絶縁ゲート電界効果トランジスタのゲート電極であることを特徴とする請求項1記載の半導体装置の製造方法

【請求項3】 前記第1の絶縁膜がシリコン窒化膜であり、前記第2の絶縁膜がPSG膜（リンガラスを含有するシリコン酸化膜）であり、前記第3の絶縁膜が二酸化シリコン膜であることを特徴とする請求項1または請求項2記載の半導体装置の製造方法

【請求項4】 前記第1の絶縁膜が二酸化シリコンより過剰のシリコン原子を含有するシリコン酸化物で構成され、前記第2の絶縁膜がBPSG膜（ボロンガラスとリンガラスを含有するシリコン酸化膜）であり、前記第3の絶縁膜が二酸化シリコン膜であることを特徴とする請求項1または請求項2記載の半導体装置の製造方法

【請求項5】 前記素子分離絶縁膜が二酸化シリコンより過剰のシリコン原子を含有するシリコン酸化物で構成されることを特徴とする請求項1、請求項2、請求項3または請求項4記載の半導体装置の製造方法

【請求項6】 前記シリコン酸化物に含まれるシリコン原子の過剰量が2 at %以上で且つ6 at %以下であることを特徴とする請求項5記載の半導体装置の製造方法

【請求項7】 前記ドライエッチングの方法が、反応ガスとしてCF₄、F₂とCO₂の混合ガスを使用したエッチング異方性のある反応性イオンエッチングの方法であることを特徴とする請求項1記載の半導体装置の製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関する、特に配線のコンタクト孔の形成方法に関する

【0002】

【従来の技術】 半導体素子の微細化及び高密度化は依然として精力的に進められ、現在では0.25 μmの寸法基準で設計された256メガビットあるいはそれ以下の設計基準で設計される1ギガビットDRAM（ダイナミック・ランダム・アクセス・メモリー）等の超高集積の半導体デバイスが開発試作されている。このような半導体デバイスの高集積化に伴い、半導体素子構造の形成に必須となっているリソグラフィー工程でのマスク合わせマージンの更なる縮小あるいは不要化が強く要求されるようになってきた

【0003】 通常、半導体デバイスの製造では、半導体基板上に金属膜、半導体膜、絶縁体膜等の各種材料で形成されたハターンが順次積層され、微細構造の半導体素子が形成される。この半導体素子用のハターンを積層する場合には、リソグラフィー工程において、前工程で形成した下層のハターンにマスク合わせし次の上層ハターンを形成することが要求される。しかしこのリソグラフィー工程で上層／下層ハターン間の位置ズレが発生する。そこで、当位置ズレを見込してマスク上のハターン間に余裕をもたせ、ハターン間にマージンを設定することが必要とされる。しかし、当マージンはハターンの高密度化の障害要因となる

【0004】 そこで、上述のようなマージンを不要とするマージンレス化の技術手法が種々に検討され始めた。その中で特に重要なものはコンタクト孔の形成におけるマージンレス化である。このコンタクト孔は半導体基板上、半導体膜上、金属膜上の各種の層に形成され且つ多用されるため、これをマージンレス化することは半導体デバイスの高密度化／高集積化に最も効果がある。このマージンレス化技術の中で有力な方法に自己整合型コンタクト孔の形成法があり、その具体的方法が種々に検討されている

【0005】 この自己整合型コンタクト孔の形成方法のなかで、絶縁膜の異方性ドライエッチングにより絶縁ゲート電界効果トランジスタ（以下、MOSトランジスタと呼称する）のゲート電極に絶縁膜のスベーサーを設け、ゲート電極に自己整合した拡散層上のコンタクト孔を形成する方法が注目されている。その具体的方法が種々に検討されている。例えば特開平3-106027号公報にその一例が示されている

【0006】 図9は上述の特開平3-106027号公報に示された自己整合型コンタクト孔の形成方法の概略を説明した工程順の断面図である

【0007】 図9（a）に示すように、シリコン基板101表面上に選択的に素子分離絶縁膜102が形成さ

れ、さらに一对のMOSトランジスタが形成される。ここで、MOSトランジスタのゲート絶縁膜103は膜厚が10nm程度のシリコン酸化膜で構成され、ゲート電極104、104aは膜厚が250nm程度のタンゲステン・ホリサイドで形成される。またMOSトランジスタのソース・ドレイン領域は拡散層105、105a、105bで構成される。このようなMOSトランジスタのゲート電極の表面に、バッファ層106とエッチングストップ層107とが積層して形成される。ここで、エッチングストップ層107にはA1N膜、A1O2膜が用いられる。

【0008】次に、図9(b)に示すように、全面に厚いSiO₂からなる層間絶縁膜108が堆積される。そして、層間絶縁膜108上にコンタクト孔用レジストマスク109が所定の形状にハターニングされて形成され、これをマスクに層間絶縁膜108の選択エッチングが行われる。ここで、このエッチングは異方性のRIE(反応性イオンエッチング)法により行われる。このようにして層間絶縁膜108にコンタクト孔110が形成される。

【0009】このとき、ゲート電極104、104a上にはエッチングストップ層107が形成されているため、コンタクト孔用レジストマスク109のハターニングが粗くてもエッチングストップ層107がマスクとなり、ゲート電極104、104aに自己整合して拡散層105上にコンタクト孔110が形成されるようになる。また、ゲート電極104、104aの側壁には層間絶縁膜108のSiO₂膜が残存する。これは、先述したように層間絶縁膜108が異方性のRIEでドライエッチングされるためである。このようにして、ゲート電極104、104aの側壁に前述のスペーサーに相当するサイドウォール層111が形成されるようになる。

【0010】そして、図9(c)に示されるように、このようなゲート電極104、104aに対し自己整合的に形成されたコンタクト孔110を介して拡散層105に電気接続される配線112が形成される。ここで、この配線112は、例えばチタン・シリサイド、窒化チタンおよびタンゲステンの積層した金属膜で形成される。この場合には、この配線112とゲート電極104、104aとの絶縁分離が、サイドウォール層111、バッファ層106およびエッチングストップ層107で行われる。

【0011】次に、このような自己整合型コンタクト孔の形成方法が256メガビット級のDRAMに適用される場合について説明をする。

【0012】図10はこのような適用技術を説明するための工程順の断面図である。図10(a)に示すように、シリコン基板201の表面に素子分離絶縁膜202が形成される。そして、DRAMのメモリセル部201aと周辺回路部201bとが電気的に分離される。次

に、ゲート絶縁膜203が形成される。ここで、このゲート絶縁膜は膜厚が8nm程度のシリコン酸化膜である。このようにした後、1個のトランジスタと1個のキャッシュ・シタとで構成されるメモリセル部のMOSトランジスタをなむトランジスタが多数配列して形成される。さらに、周辺回路部にはCMOSトランジスタが形成される。

【0013】前述のメモリセル部201aに形成されるトランジスタトランジスタのゲート電極204、204aはタンゲステン・ホリサイドあるいはチタン・ホリサイドで形成され、その寸法は0.25μm程度である。また、隣接するゲート電極204と204aとの所用間隔は0.2~0.25μm程度になる。さらに、このゲート電極204、204aの膜厚も0.2~0.25μm程度になる。これに対し、先述の周辺回路部に形成されるCMOSのトランジスタのゲート電極205の寸法は、一般に、メモリセル部のトランジスタトランジスタのゲート電極の寸法より大きくなり、0.4μm程度に設定される。

【0014】そして、これらのゲート電極上にバッファ層206とエッチングストップ層207が積層して形成される。

【0015】次に、MOSトランジスタのソース・ドレインを構成する浅い拡散層208、208aが形成される。ここで、この浅い拡散層208、208aの不純物の濃度は1×10¹⁸原子/cm³程度に設定される。このようにした後、図10(b)に示すように全体を被覆するように膜厚が100~150nmの被覆絶縁膜209が堆積される。ここで、この被覆絶縁膜209は公知のCVD(化学気相成長)法によるSiO₂である。このようにした後、この被覆絶縁膜209を異方性のRIEで全面エッチング(以下、エッチバックと呼称する)する。このようなエッチバックにより、図10(c)に示すようにゲート電極204、204a、205の側壁にサイドウォール層210、210aが形成されるようになる。ここで、このサイドウォール層の膜厚は100~150nmに設定される。

【0016】次に、レジストをマスクに用いた公知の選択的イオン注入により、周辺回路部のCMOSトランジスタの浅い拡散層にのみ再度不純物が導入され、熱処理が加えられて深い拡散層208bが形成される。ここで、この深い拡散層208bの不純物濃度は1×10¹⁹~1×10²⁰原子/cm³に設定される。このように、周辺回路部のCMOSトランジスタのソース・ドレインの拡散層は、よく知られたLDD(Light-ly Doped Drain)構造になるように形成される。この他に種々の構造の拡散層が検討されているが、いづれにしても一般にスペーサーと呼ばれる膜厚が150nm程度のサイドウォール層210aが、周辺回路部のCMOSトランジスタに必要とされる。

【0017】

【発明が解決しようとする課題】上述した従来の自己整合型コンタクト孔の形成方法では、特に微細化／高集積化の激しいDRAMのような半導体デバイスに適用されると、以下のような問題点が生じてくる

【0018】先述した周辺回路部のCMOSトランジスタ信頼性を確保するためには、トランジスタのソース・ドレインを形成する拡散層に、先述したLDDのような構造が必要になる。この場合には、先述したスベーサーとなるサイドウォール層が必要になり、その膜厚はトランジスタ特性およびその特性バラツキに直接に影響するようになる。

【0019】特にCMOSトランジスタのpチャネル型トランジスタのソース・ドレインの拡散層は、不純物に拡散係数の大きなボロンが用いられるために拡散層深さが大きくなる。このため、先述した256メガビットDRAMあるいは1ギガビットDRAMにおいてサイドウォール層の膜厚は100～200nmに設定される必要がある。

【0020】一方、このようなDRAMのチップサイズの縮小の追求は必須である。そこで、これに対し最も有効なメモリセルの寸法の縮減が行われる。そして、メモリセルのワード線すなわち先述したメモリセル部のゲート電極間隔が縮小されるようになる。先述したようなDRAMの場合には、このゲート電極間隔は150～250nmになる。

【0021】以上に説明した理由から、信頼性の高い周辺回路部のCMOSトランジスタを得るためにサイドウォール層の膜厚を厚くすると、メモリセル部のゲート電極間がサイドウォール層を形成する絶縁膜で完全に埋設されるようになる。このように埋設されてしまうと、自己整合型コンタクト孔はメモリセル部に形成されなくなる。あるいは、埋設されないにしてもこのようにして形成されたメモリセル部のコンタクト孔は異常に微細になり、絶縁膜の成膜あるいはエッチバック等の製造工程のバラツキに敏感になる。そして、コンタクト孔に起因するデバイスのバラツキが増大し歩留り低下の要因になる。

【0022】逆に、互いに間隔の狭いメモリセル部のゲート電極の側壁にサイドウォール層を形成するためサイドウォール層の膜厚を薄くすると、CMOSトランジスタの特性の劣化あるいは信頼性の低下が生じる。そして、このような周辺回路部に起因するデバイスの性能あるいは歩留りの低下の要因になる。

【0023】本発明の目的は、半導体装置特にDRAM等の半導体記憶装置におけるメモリセル内の配線用のコンタクト孔を自己整合的に信頼性高く形成できる方法を提供することにある。

【0024】

【課題を解決するための手段】このために本発明の自己

整合型コンタクト孔の形成では、半導体基板の表面にMOSトランジスタを含む半導体素子間を分離する素子分離絶縁膜を形成する工程と、前記MOSトランジスタのゲート電極の上面に前記ゲート電極を保護する第1の絶縁膜を形成する工程と、前記MOSトランジスタのソース・ドレインとなる拡散層を形成する工程と、前記ゲート電極の側面にスベーサーとなる第2の絶縁膜を形成する工程と、全面に層間絶縁膜を堆積した後、所定のレジストマスクのハターンを用いてコンタクト孔を開口する際に、前記レジストマスクをエッチングマスクとして前記層間絶縁膜をドライエッチングする工程と、隣接する前記ゲート電極の上面の第1の絶縁膜をエッチングマスクとして前記隣接するゲート電極間に存する前記第2の絶縁膜をドライエッチングで除去する工程と、前記レジストマスクを除去した後、前記第2の絶縁膜を除去した前記隣接するゲート電極の側面に膜厚が前記第2の絶縁膜より薄い第3の絶縁膜を形成し、前記隣接するゲート電極のハターンにセルフアライインに前記拡散層にコンタクト孔を形成する工程とを含む。

【0025】ここで、MOSトランジスタの前記隣接するゲート電極が半導体装置を構成するメモリセル部のMOSトランジスタのゲート電極である。

【0026】ここで、前記第1の絶縁膜がシリコン窒化膜であり、前記第2の絶縁膜がPSG膜（リンガラスを含有するシリコン酸化膜）であり、前記第3の絶縁膜が二酸化シリコン膜である。

【0027】あるいは、前記第1の絶縁膜が二酸化シリコンより過剰のシリコン原子を含有するシリコン酸化物で構成され、前記第2の絶縁膜がBPSG膜（ボランガラスとリンガラスを含有するシリコン酸化膜）であり、前記第3の絶縁膜が二酸化シリコン膜である。

【0028】あるいは、前記素子分離絶縁膜が二酸化シリコンより過剰のシリコン原子を含有するシリコン酸化物で構成される。

【0029】ここで、前記シリコン酸化物に含まれるシリコン原子の過剰量が2at%以上で且つ6at%以下である。

【0030】また、前記ドライエッチングの方法が、反応ガスとしてC₄F₈とCOの混合ガスを使用したエッチング異方性のある応性イオンエッチングの方法である。

【0031】

【実施例】次に、本発明を図面を参照して説明する。図1および図2は本発明の第1の実施例を説明するための工程順の断面図である。

【0032】図1(a)に示すように、初めの工程は従来を技術で述べたと同様にして、シリコン基板1の表面に素子分離絶縁膜2が形成される。そして、DRAMのメモリセル部1aと周辺回路部1bとが電気的に分離される。次に、ゲート絶縁膜3が形成される。ここで、こ

のゲート絶縁膜は膜厚が6～8 nm程度のシリコン酸化膜あるいはシリコンオキシナイトライド膜である。このようにした後、メモリセル部のMOSトランジスタすなむちトランスマスクトランジスタが多数配列して形成される。さらに、周辺回路部にはCMOSトランジスタが形成される。

【0033】前述のメモリセル部1-aに形成されるトランスマスクトランジスタのゲート電極4、4-aはチタン・ホリサイドで形成され、その寸法は0.2 μm程度である。また、隣接するゲート電極4と4-aとの所用間隔は0.2 μm程度である。さらに、このゲート電極4、4-aの膜厚も0.2 μm程度に設定される。

【0034】これに対し、先述の周辺回路部に形成されるCMOSのトランジスタのゲート電極5の寸法は、一般に、メモリセル部のトランスマスクトランジスタのゲート電極の寸法より大きくなり、0.4 μm程度に設定される。

【0035】バッファ層6が、先述したゲート電極4、4-a、5を被覆して形成され、さらにこのバッファ層6を被覆するエッチングトップバー層7が形成される。ここで、バッファ層は膜厚が10 nm程度のシリコン酸化膜であり、エッチングトップバー層は膜厚が50 nm程度のシリコン窒化膜である。

【0036】次に、MOSトランジスタのソース・ドレインを構成する浅い拡散層8、8-aが形成される。ここで、この浅い拡散層8、8-aの不純物の濃度は 1×10^{18} 原子/ cm^3 程度に設定される。

【0037】このようにした後、図1-(b)に示すように全体を被覆するように膜厚が150 nmの第1被覆絶縁膜9が堆積される。ここで、この第1被覆絶縁膜9は公知のLPCVD(減圧の化学気相成長)法によるPSG膜(リンガラスを含有するシリコン酸化膜)である。そして、このPSG膜に含まれるリン原子の濃度は10モル%程度である。次に、この第1被覆絶縁膜9に異方性のエッチバックを加える。ここで、このエッチバックは反応ガスとして C_4F_8 と CO の混合したガスを用いるRIEで行われる。このようなエッチバックにより、図1-(c)に示すようにゲート電極4、4-a、5の側壁に第1サイドウォール層10、10-aが形成されるようになる。ここで、この第1サイドウォール層の膜厚は100 nmに設定される。

【0038】このエッチバックの工程で、先述した第1サイドウォール層の形成と共に、メモリセル部で離間距離の小さいゲート電極4と4-a間に埋込み絶縁層11の形成がされるようになる。

【0039】次に、図2-(a)に示すように公知のリソグラフィ技術でイオン注入用レジストマスク12が形成される。そして、これをマスクに用いた公知の選択的イオン注入により、周辺回路部のCMOSトランジスタの浅い拡散層8-aにのみ再度不純物が導入され、熱処理

が加えられて深い拡散層8-bが形成される。ここで、この深い拡散層8-bの不純物濃度は $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/ cm^3 に設定される。このように、周辺回路部のCMOSトランジスタのソース・ドレインの拡散層は、よく知られたLDD構造になるように形成される。

【0040】次に、図2-(b)に示すように層間絶縁膜13が形成される。ここで、この層間絶縁膜13は膜厚が400 nmのBPSG膜(ボロンガラス、リンガラスを含むシリコン酸化膜)である。この場合にこのBPSG膜に含まれるボロンおよびリン原子の濃度はモル濃度でそれぞれモル%、10モル%程度に設定される。

【0041】このようにした後、この層間絶縁膜13に対し熱処理が加えられ、コンタクト孔用レジストマスク14が所定の形状にバーニングされて形成される。そして、これをドライエッチングのマスクにして層間絶縁膜13および埋込み絶縁層11がエッチングされる。このようにして、コンタクト孔15が形成される。ここで、ゲート電極4、4-a上にはエッチングストップバー層7が形成されているため、先述したようにゲート電極4、4-aに自己整合して拡散層8上にコンタクト孔15が形成される。

【0042】前述した層間絶縁膜13と埋込み絶縁層11のドライエッチングにおいては、これらの層間絶縁膜13および埋込み絶縁層11とエッチングストップバー層7とのエッチング速度比を大きくする必要がある。このためにRIEにおける反応ガスとして、 C_4F_8 に CO を混合したガスが用いられる。このようなガスを選択することで、このエッチング速度比が20程度になり、エッチングストップバー層のエッチングマスクとしての役割が確保されるようになる。

【0043】次に、図2-(c)に示すように第2被覆絶縁膜16が前述のコンタクト孔15および層間絶縁膜13を被覆するように堆積される。ここで、この第2被覆絶縁膜16は膜厚が60 nm程度のシリコン酸化膜である。このシリコン酸化膜は、成膜の温度が800°C程度と高い温度でのCVD法で形成した膜である。

【0044】このようにした後、この第2被覆絶縁膜16の全面エッチバックが行われる。ここで、このエッチバックにおいては、異方性のRIEの反応ガスとして CH_3F_2 と CO の混合ガスあるいは C_4F_8 と CO の混合ガスが用いられる。このようにして、図2-(d)に示すようにメモリセル部のトランスマスクトランジスタのゲート電極4、4-aの側壁部に第2サイドウォール層17が形成される。また、層間絶縁膜13に形成されたコンタクト孔の側壁部にもサイドウォール層17が形成される。この場合の第2サイドウォール層17の膜厚は50 nm程度である。そして、最終的なコンタクト孔15の寸法は100 nm程度になる。

【0045】以上のようにして、周辺回路部のCMOSトランジスタのゲート電極の側壁には膜厚が100 nm

の第1サイドウォール層10aが形成され、メモリセル部のトランジスタトランジスタのゲート電極4、4aの側壁に第2サイドウォール層17が形成され、この第2サイドウォール層17を有するゲート電極4、4aに自己整合したコンタクト孔15'が拡散層8上に形成される。

【0046】この実施例では、先述したように第1被覆絶縁膜9にPSG膜が用いられる。このために、半導体装置の製造工程での熱処理で、このPSG膜に含まれるリン原子がトランジスタのゲート絶縁膜3を透過してシリコン基板の表面に進入することが考えられる。しかし、このリン不純物の進入は半導体装置の製造上全く問題とならない。

【0047】このことについて以下に説明する。図3は10モル%濃度のPSG膜からシリコン基板へのリンの熱拡散を示すグラフである。ここで、PSG膜とシリコン基板との間には5~20nmの膜厚のシリコン酸化膜が形成され、このPSG膜を堆積した後800°C、2時間の熱処理が加えられている。

【0048】図3より、シリコン酸化膜が5nmの場合でもシリコン基板へのリン不純物の進入量は2E16cm³すなわち 2×10^{16} 原子/cm³程度であり、その深さは10nm以下である。しかもこれらのリン不純物の進入する領域はn+拡散層となるため、全く問題にならないことが判る。

【0049】次に、第2の実施例を図4に基づいて説明する。図4は本発明の製造方法の工程順の断面図である。図4(a)に示すように、シリコン基板21の表面に素子分離絶縁膜22が形成される。そして、ゲート絶縁膜23が形成される。ここで、このゲート絶縁膜は膜厚が4nm程度のシリコン酸化膜あるいはシリコンオキシナイトライド膜である。このようにした後、メモリセル部のMOSトランジスタすなわちトランジスタトランジスタが多数配列して形成される。さらに、周辺回路部にはCMOSトランジスタが形成される。

【0050】前述のメモリセル部に形成されるトランジスタトランジスタのゲート電極24、24aはチタン・ホリサイドで形成され、その寸法は0.15~0.2μmである。また、隣接するゲート電極24と24aとの間隔は0.2μm程度設定される。さらに、このゲート電極24、24aの膜厚も0.2μm程度に設定される。

【0051】これに対し、先述の周辺回路部に形成されるCMOSのトランジスタのゲート電極25の寸法は、一般に、メモリセル部のトランジスタトランジスタのゲート電極の寸法より大きくなり、0.3μm程度に設定される。

【0052】次に、バッファ層26が、先述したゲート電極24、24a、25を被覆して形成され、さらにこのバッファ層26を被覆するエッチングストップ層2

7が形成される。ここで、バッファ層は膜厚が10nm程度のシリコン酸化膜であり、エッチングストップ層27は膜厚が50nm程度の過剰シリコンを含有するシリコン酸化膜(以下、SRO膜と呼称する)である。

【0053】ここで以下、SRO膜の形成方法について簡単に述べる。この膜の形成方法は基本的にCVD法による二酸化シリコン膜の成膜方法と同じである。すなわち、減圧可能な石英の反応管をヒーター加熱するLPCVD炉において、炉の温度を700°C~800°Cに設定し、反応ガスとしてモノシランと亜酸化窒素のガスをそれぞれ別のガス導入口を通して炉内に入れる。ここで導入ガスには窒素ガスを使用し、これらのガスの全圧力を1Torr程度にする。この成膜方法で二酸化シリコン膜に過剰のシリコンを含有させる。そのためモノシランと亜酸化窒素のガス流量比を変え、モノシランのガス流量を増加させる。ここでモノシランのガス流量比が増えるに従い過剰のシリコン量は増加する。このようにして過剰シリコンを含有したシリコン酸化物の薄膜すなわちSRO膜が形成される。このSRO膜は二酸化シリコン(SiO₂)膜に微小なシリコン集合体の混入した構造の絶縁物である。

【0054】次に、第1の実施例と同様にMOSトランジスタのソース・ドレインを構成する浅い拡散層28、28aが形成される。ここで、この浅い拡散層28、28aの不純物の濃度は 1×10^{18} 原子/cm³程度に設定される。

【0055】このようにした後、図4(b)に示すように全体を被覆するように膜厚が5nm~10nmのコート絶縁膜29'が堆積される。ここで、このコート絶縁膜29'はCVD法で形成されるシリコン酸化膜である。そしてさらに、このコート絶縁膜29'を被覆する第1被覆絶縁膜29がLPCVD法によるBPSG膜で形成される。ここで、このBPSG膜に含まれるリン原子の濃度は8モル%程度であり、ボロン原子の含有量は3モル%程度である。そして、このBPSGの膜厚は200nm程度に設定される。

【0056】次に、RIEによる異方性のエッチバックが加えられる。ここで、RIEの反応ガスにはC₄F₈とCOの混合ガスが使用される。このようなエッチバックにより、図4(c)に示すようにゲート電極24、24a、25の側壁に第1サイドウォール層30、30aが形成されるようになる。ここで、この第1サイドウォール層は前述の膜厚が5~10nmのコート絶縁膜29'と第1被覆絶縁膜29とで構成され、その全体の膜厚は150nm程度になるよう設定される。

【0057】このエッチバックの工程で、先述した第1サイドウォール層の形成と共に、メモリセル部で離間距離の小さいゲート電極24と24a間には埋込み絶縁層31の形成がされるようになる。この場合には、埋込み絶縁層31は先述したコート絶縁膜と第1被覆絶縁膜と

で構成される

【0058】以下その製造工程を省略するが、第1の実施例で説明した図2と同様の工程を通して、自己整合型のコンタクト孔がメモリセル部のゲート電極間の拡散層28上に形成される

【0059】この第2の実施例の場合には、エッチングストップ層にSRO膜が用いられるため、第1の実施例の場合より形成されるMOSトランジスタの信頼性が向上する。なお、第1被覆絶縁膜にBPSG膜が用いられるため、第1被覆絶縁膜とエッチングストップ層とのドライエッチングでのエッチング速度比は20程度に確保されるようになり、信頼性の高い自己整合型のコンタクト孔の形成は容易である

【0060】次に、第3の実施例を図5と図6に基づいて説明する。図5と図6は、本発明の自己整合型のコンタクト孔の製造工程順の断面図である。この実施例の場合では、素子分離絶縁膜が露出する時の自己整合型のコンタクト孔の形成方法が示される

【0061】図5(a)に示すように、シリコン基板41の表面に形成した溝内に素子分離絶縁膜42が形成される。この素子分離絶縁膜42は、初めにシリコン基板41の所定を領域に深さが1μm程度の溝が公知のドライエッチングで形成され、その後2nm～5nm程度の薄いシリコン酸化膜がこの溝側壁に設けられ、そして、このような溝にSRO膜が埋設されて形成される。あるいは、SRO膜のみが溝内に埋設されて形成される。

【0062】あとの自己整合型のコンタクト孔の形成工程は第1の実施例の場合と同様であるが、その構造が異なるので以下に詳述する

【0063】先述したようにして素子分離絶縁膜42、42aが形成され、図5(a)に示すようにゲート絶縁膜43が形成される。ここで、このゲート絶縁膜は膜厚が4～6nm程度のシリコン酸化膜あるいはシリコンオキシナイトライド膜である。そして、メモリセル部のMOSトランジスタすなわちトランスマスクトランジスタと周辺回路部のCMOSトランジスタが形成される

【0064】メモリセル部に形成されるトランスマスクトランジスタのゲート電極44、44aはチタン・ポリサイドで形成され、その寸法は0.2μm程度である。そして、ゲート電極44aは素子分離絶縁膜42上に形成される。また、隣接するゲート電極44と44aとの間隔は0.3μm程度に設定される。さらに、このゲート電極44、44aの膜厚は0.2μm程度に設定される

【0065】これに対し、周辺回路部に形成されるCMOSのトランジスタのゲート電極45の寸法は、一般に、メモリセル部のトランスマスクトランジスタのゲート電極の寸法より大きくなり、0.3μm程度に設定される

【0066】次に、バッファ層46が、先述したゲート

電極44、44a、45を被覆して形成され、さらにこのバッファ層46を被覆するエッチングストップ層47が形成される。ここで、バッファ層は膜厚が10nm程度のシリコン酸化膜であり、エッチングストップ層は膜厚が50nm程度のSRO膜である

【0067】次に、MOSトランジスタのソース・ドレインを構成する浅い拡散層48、48aが形成される。ここで、この浅い拡散層48、48aの不純物の濃度は 1×10^{18} 原子/cm³程度に設定される

【0068】このようにした後、図5(b)に示すように全体を被覆するように膜厚が150nmの第1被覆絶縁膜49が堆積される。ここで、この第1被覆絶縁膜49はCVD法で形成される二酸化シリコン膜である。次に、この第1被覆絶縁膜49に異方性のエッチバックを加える。このようなエッチバックにより、図5(c)に示すようにゲート電極44、44a、45の側壁に第1サイドウォール層50、50aが形成されるようになる。ここで、この第1サイドウォール層の膜厚は100nmに設定される

【0069】このエッチバックの工程で、先述した第1サイドウォール層の形成と共に、メモリセル部で離間距離の小さいゲート電極44と44a間に埋込み絶縁層51の形成がされるようになる

【0070】次に、公知の選択的イオン注入により、周辺回路部のCMOSトランジスタの浅い拡散層48aにのみ再度不純物が導入され熱処理が加えられて、図6(a)に示す深い拡散層48bが形成される。ここで、この深い拡散層48bの不純物濃度は $1 \times 10^{19} \sim 1 \times 10^{20}$ 原子/cm³に設定される。このように、周辺回路部のCMOSトランジスタのソース・ドレインの拡散層は、よく知られたLDD構造になるように形成される

【0071】次に、図6(a)に示すように層間絶縁膜53が形成される。ここで、この層間絶縁膜53は膜厚が400nmのBPSG膜である。このようにした後、この層間絶縁膜53に対し熱処理が加えられ、コンタクト孔用レジストマスク54が所定の形状にハーフエッチングされて形成される。そして、これをドライエッチングのマスクにして層間絶縁膜53および埋込み絶縁層51がエッチングされる。このようにして、コンタクト孔55が形成される。ここで、ゲート電極44、44a上にはエッチングストップ層47が形成されているため、先述したようにゲート電極44、44aに自己整合して拡散層48上と素子分離絶縁膜42上にコンタクト孔55が形成される

【0072】前述した層間絶縁膜53と埋込み絶縁層51のドライエッチングにおいては、これらの層間絶縁膜53および埋込み絶縁層51とエッチングストップ層47とのエッチング速度比を大きくする必要がある。このためにRIEにおける反応ガスとして、C₄F₈にCO

を混合したガスが用いられる。このようなガスを選択することで、このエッチング速度比が20程度になり、エッチングストップ層のエッチングマスクとしての役割が確保されるようになる。

【0073】次に、図6-(b)に示すように第2被覆絶縁膜5-6が前述のコンタクト孔5-5および層間絶縁膜5-3を被覆するように堆積される。ここで、この第2被覆絶縁膜5-6は膜厚が60nm程度のシリコン酸化膜である。このシリコン酸化膜は、成膜の温度が800°C程度と高い温度でのCVD法で形成した膜である。

【0074】このようにした後、この第2被覆絶縁膜5-6の全面エッチバックが行われる。ここで、このエッチバックにおいては、異方性のRIEの反応ガスとしてCF₄-F₈とCOの混合ガスが用いられる。このようにして、図6-(c)に示すようにメモリセル部のトランジスタのゲート電極4-4、4-4aの側壁部に第2サイドウォール層5-7が形成される。この場合の第2サイドウォール層5-7の膜厚は50nm程度である。そして、最終的なコンタクト孔5-5の寸法は200nm程度になる。ここで、この自己整合型のコンタクト孔5-5には、素子分離絶縁膜の領域の露出部が100nm程度含まれる。

【0075】この実施例の場合には、第1被覆絶縁膜として用いられる二酸化シリコン膜とSRO膜とのドライエッチング速度比の確保が重要になる。以下にこのエッチング速度比を図7に基づいて説明する。

【0076】ここで、ドライエッチング装置としてはマグネットロン型のものを用いる。この場合の装置の高周波電源の周波数は通常に用いる13.56MHzである。更に反応ガスとしてCF₄-F₈にCOガスを混合して導入する。図7はこの場合の二酸化シリコン膜のエッチング速度とSRO膜のエッチング速度の比とSRO膜中に含まれるシリコン量との関係を示すグラフである。図7に示すようにSRO膜中のシリコン量が3.5%以上になると前記エッチング比は1.5以上になる。ここでSRO膜中のシリコン量が約3.3、3%の場合が二酸化シリコン膜に相当する。このことは、二酸化シリコン膜より2%以上の過剰シリコンを含有するSRO膜であれば第1被覆絶縁膜として使用できることを示す。そこでこのような条件で前記ドライエッチングが行われる。なお、第3の実施例で層間絶縁膜として用いるBPSG膜のエッチング速度は二酸化シリコン膜に比較し非常に高い。

【0077】このSRO膜は素子分離絶縁膜として使用される。このためSRO膜の絶縁性を確保する必要がある。図8にSRO膜の比抵抗及び比誘電率とSRO膜中の過剰シリコン量との関係を示す。ここでSRO膜の膜厚は100nmであり、比抵抗は印加電界の低い(1×10⁵V/cm以下)場合の値である。先述した0.2μmの寸法基準で設計したDRAM等の半導体デバイスでの拡散層の許容できるリーク電流は10⁻⁷アンペア

のオーダーとなっている。そこで、この素子分離絶縁膜の比抵抗値は10⁴以上あれば十分対応できる範囲となる。SRO膜の場合には、図8から分るように4.0at%以下のシリコン量であればこの条件を満たす。ここで、図7で述べたように3.3、3%のシリコン量の場合が二酸化シリコン膜に相当することを考慮すると、二酸化シリコン膜中の過剰シリコン量が6at%以下であれば前記条件を満足することになる。又この範囲であれば、SRO膜の比誘電率は4程度となり、二酸化シリコン膜のそれよりと同程度で問題は生じない。

【0078】この第3の実施例の場合には、第1サイドウォール層および第2サイドウォール層とも、リングガラスあるいはボロングガラスを含むシリコン酸化膜より絶縁性あるいは耐湿性の高い二酸化シリコン膜で形成される。このために、第1の実施例および第2の実施例の場合より、高品質の半導体デバイスが容易に形成されるようになる。

【0079】

【発明の効果】以上に説明したように、高い信頼性を必要とする周辺回路部のCMOSトランジスタのゲート電極側壁に膜厚の厚いサイドウォール層が形成され、そして、メモリセル部のゲート電極間のサイドウォール層は一度除去され、互いに間隔の狭いメモリセル部のゲート電極の側壁には膜厚の薄いサイドウォール層が再度形成される。ここで、これらのサイドウォール層の形成のためのドライエッチングのマスクとして、ゲート電極の上面に形成したエッチングストップ層が用いられる。

【0080】このために、半導体装置特にDRAM等の半導体記憶装置におけるメモリセル内の配線用のコンタクト孔を自己整合的に信頼性高く形成できるようになる。また、このコンタクト孔の製造工程は安定化する。

【0081】そして、従来の技術でよく生じた周辺回路部のCMOSトランジスタの特性の劣化あるいは信頼性の低下はなくなり、メモリセル部の高密度化あるいは微細化は容易になって半導体装置の縮小化および大容量化は促進される。さらに、半導体装置の性能あるいは歩留りは向上すると共にこれらのバラツキは大幅に低減するようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順の断面図である。

【図2】本発明の第1の実施例を説明するための工程順の断面図である。

【図3】PSSG膜からシリコン基板へのリン不純物の進入量を示すグラフである。

【図4】本発明の第2の実施例を説明するための工程順の断面図である。

【図5】本発明の第3の実施例を説明するための工程順の断面図である。

【図6】本発明の第3の実施例を説明するための工程順

の断面図である

【図7】本発明に使用するSRO膜のドライエッチング特性を示すグラフである

【図8】本発明に使用するSRO膜の絶縁特性を示すグラフである

【図9】従来を方法を工程順に示した断面図である

【図10】従来を方法を工程順に示した断面図である

【符号の説明】

1, 21, 41, 101, 201 シリコン基板
 2, 22, 42, 102, 202 素子分離絶縁膜
 3, 23, 43, 103, 203 ゲート絶縁膜
 4, 4a, 5, 24, 24a, 25, 44, 44a, 4
 5 ゲート電極
 104, 104a, 204, 204a, 205 ゲート電極
 6, 26, 46, 106, 206 バッファ層
 7, 27, 47, 107, 207 エッチングストップ層

8, 8a, 28, 28a, 48, 48a, 208, 20
 8a 浅い拡散層

8b, 28b, 48b, 208b 深い拡散層

9, 29, 49 第1被覆絶縁膜

10, 10a, 30, 50 第1サイドウォール層

11, 31, 51 埋込み絶縁層

12 イオン注入用レジストマスク

13, 53, 108 層間絶縁膜

14, 54, 109 コンタクト孔用レジストマスク

15, 15', 55, 55', 110 コンタクト孔

16, 56 第2被覆絶縁膜

17, 17', 57 第2サイドウォール層

29' コート絶縁膜

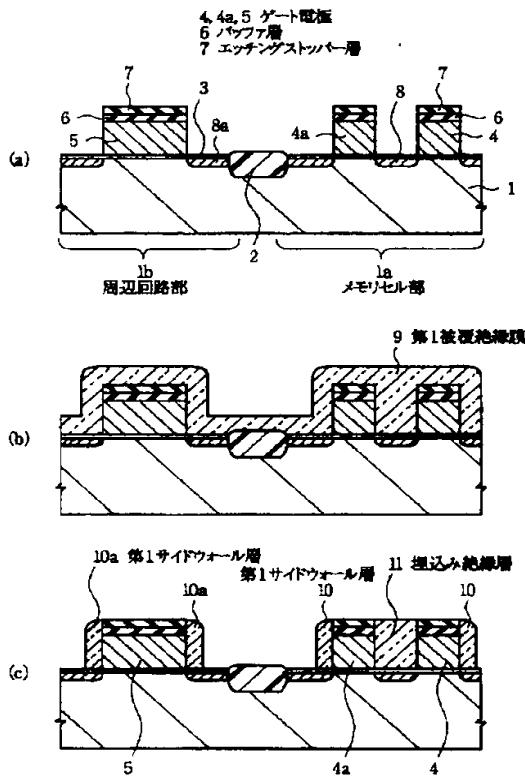
105, 105a 拡散層

111, 210, 210a サイドウォール層

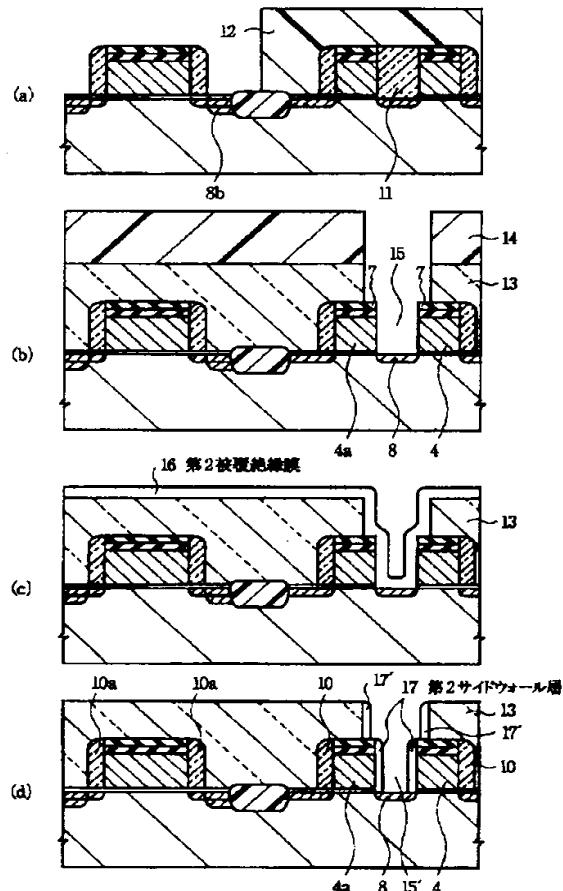
112 配線

209 被覆絶縁膜

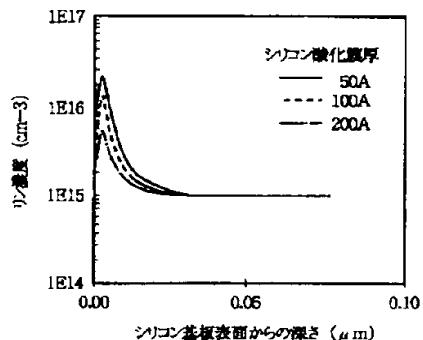
【図1】



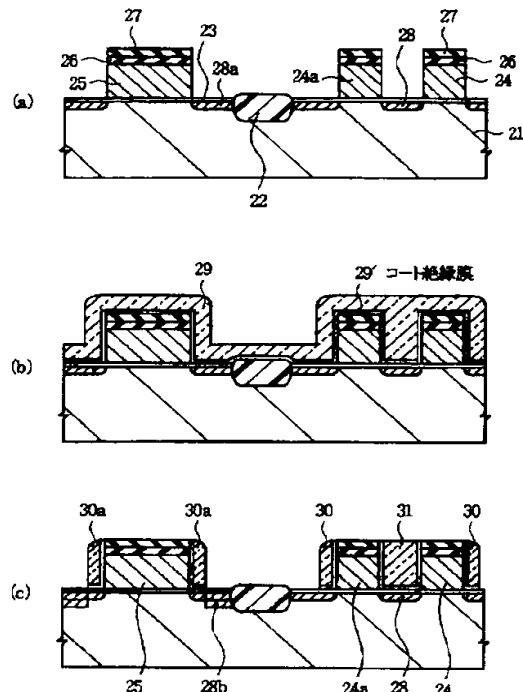
【図2】



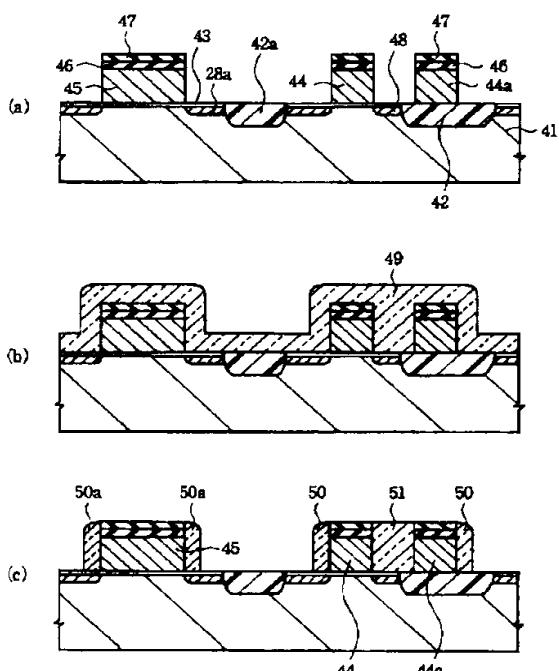
【図3】



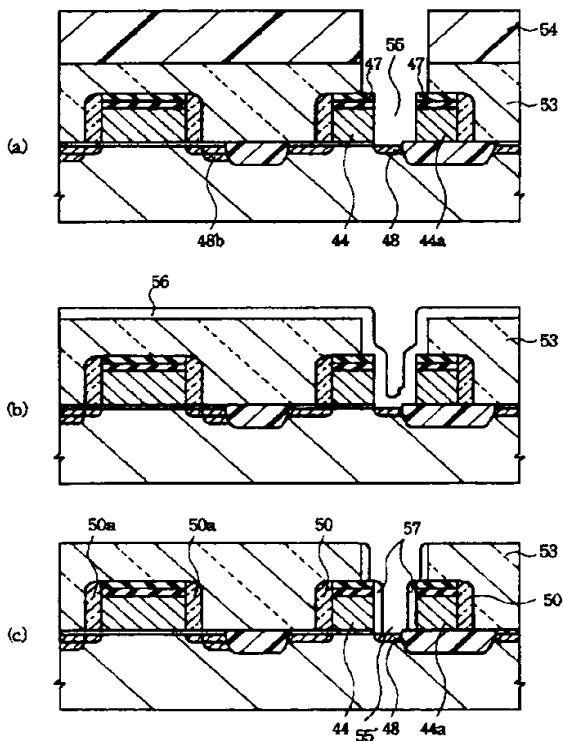
【図4】



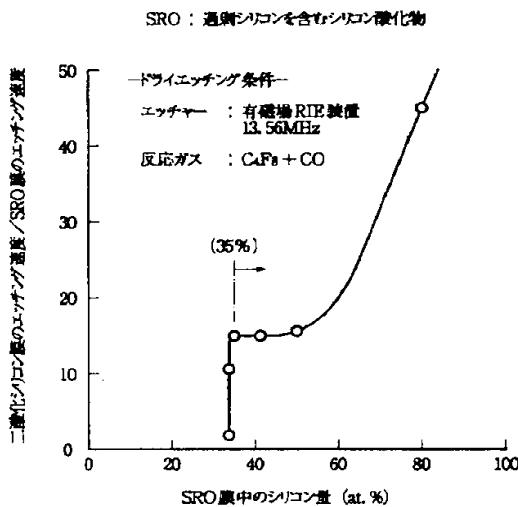
【図5】



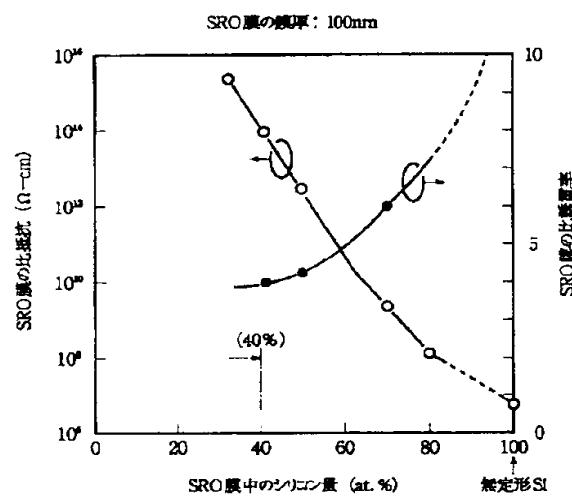
【図6】



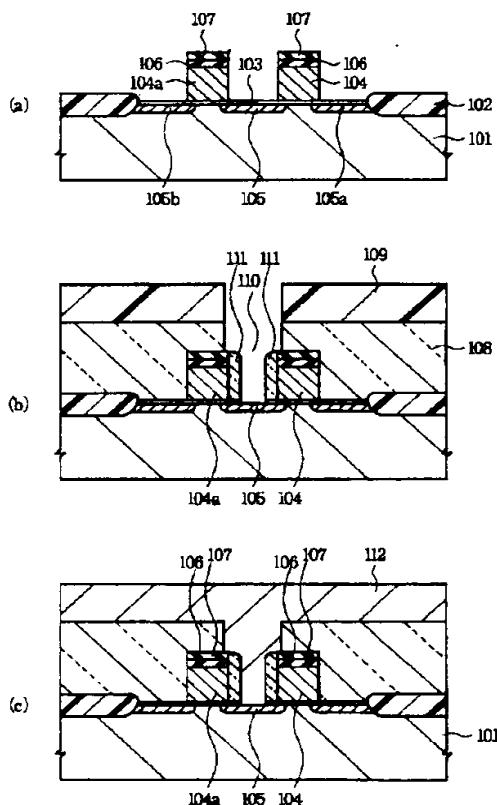
【図7】



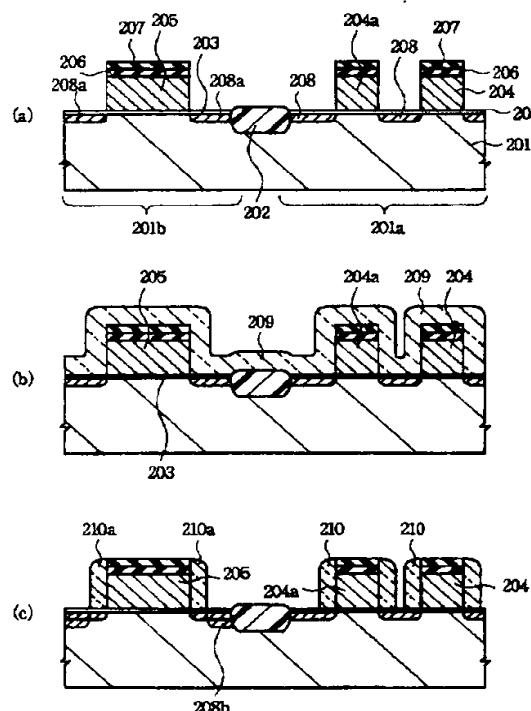
【図8】



【図9】



【図10】



フリントページの続き

(51) Int. Cl. "	識別記号	序内整理番号	F 1	技術表示箇所
H 01 L 21/8242		9276 4M	H 01 L 27/10	6 8 1 B